# 第六讲 DM（DATA MEM）模块设计

## 一、ALU模块接口定义

**Module dm**(

**Input** clk, //100MHZ CLK

**input** DMWr, //write signal  
**input** [5:0] addr,

**input** [31:0] din,

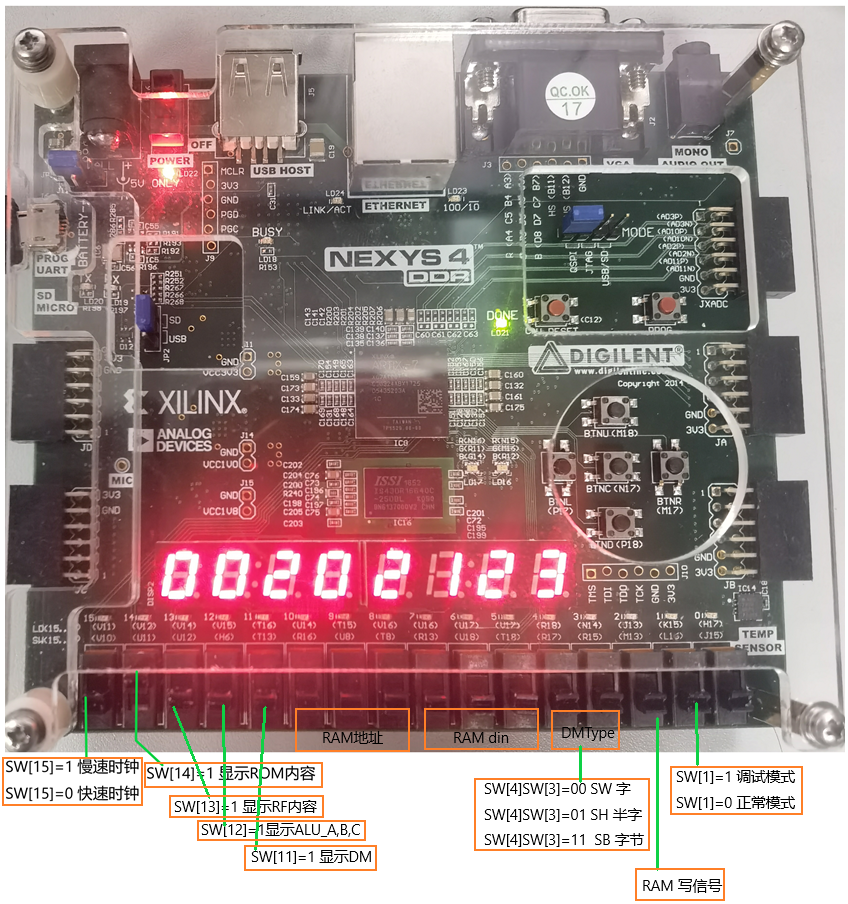
**input** [2:0] DMType,

**output reg** [31:0] dout

);

**endmodule**

## 二、NEXYS4主板开关定义



## 三、主模块、仿真模块和DM模块功能定义

